

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 64-074751

(43)Date of publication of application : 20.03.1989

(51)Int.Cl.

H01L 23/52

H01L 21/82

H01L 25/04

H01L 27/12

H01L 29/78

(21)Application number : 62-233011

(71)Applicant : FUJITSU LTD

(22)Date of filing : 17.09.1987

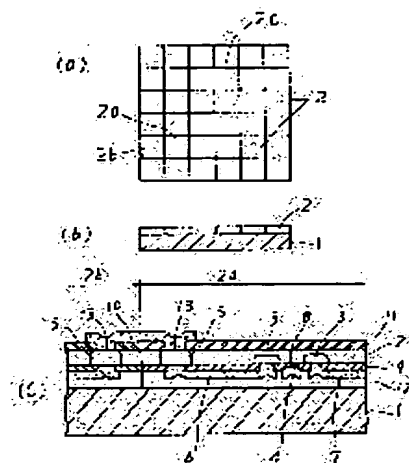
(72)Inventor : NAKAMURA SHUNJI

(54) LARGE-SCALE INTEGRATED CIRCUIT AND MANUFACTURE THEREOF

(57)Abstract:

PURPOSE: To make it possible to manufacture a large-scale integrated circuit of the scale of a wafer at a high yield by a method wherein an Si wafer is selectively etched, a wiring is provided on a diffused layer for a pad, which is exposed on the rears of left Si carbide thin film pieces, and integrated circuits of the unit of a chip, which are formed on the different Si carbide thin film pieces, are connected to one another.

CONSTITUTION: Integrated circuits are formed on an Si carbide thin film grown epitaxially on an Si wafer in the unit of a normal chip. After a test is conducted, the wafer is separated into chips and selected non-defective chips, which respectively have a desired integrated circuit, are bonded on a substrate 1 having an insulative surface hard to be etched with an etchant applicable to the Si wafer after Si carbide thin film pieces 2 are arranged on the substrate 1 in such a way as to oppose to the substrate 1. The Si wafer is selectively etched away, a wiring 6 is provided on a diffused layer 5 for a pad, which is exposed on the rears of the left pieces 2, and the integrated circuits, which are formed, by the different pieces 2, of the unit of a chip are connected to one another to constitute a large-scale integrated circuit. Thereby, an integrated circuit of the scale of a wafer can be manufactured at a high yield.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

⑨ 日本国特許庁(JP)

⑩ 特許出願公開

⑫ 公開特許公報(A)

昭64-74751

⑮ Int.Cl.⁴

識別記号

庁内整理番号

⑬ 公開 昭和64年(1989)3月20日

H 01 L 23/52
21/82
25/04
27/12
29/78

3 1 1

8728-5F
7925-5F
Z-7638-5F
C-7514-5F
B-7925-5F

審査請求 未請求 発明の数 2 (全8頁)

⑭ 発明の名称 大規模集積回路およびその製造方法

⑯ 特 願 昭62-233011

⑰ 出 願 昭62(1987)9月17日

⑱ 発 明 者 中 村 俊 二 神奈川県川崎市中原区上小田中1015番地 富士通株式会社
内

⑲ 出 願 人 富 士 通 株 式 会 社 神奈川県川崎市中原区上小田中1015番地

⑳ 代 理 人 弁 理 士 井 桁 貞 一

明 細 書

1 発明の名称

大規模集積回路およびその製造方法

2 特許請求の範囲

1) シリコン(Si)に対するエッチング剤によってエッチングされ難い絶縁性の表面を有する基板(1)と、

該基板(1)に対向する一表面と、該一表面に形成されたトランジスタ等の能動素子と、該能動素子が形成された領域の周辺において該表面からその裏面に達する深さに形成されたパッド用の拡散層(5)とを有し、該基板(1)上に固定して配列された複数の炭化珪素(SiC)薄膜片(2)と、

該一表面上に形成され、かつ、該能動素子とパッド拡散層(5)上の所定位置に対応する開口を有する絶縁層(9)と、

該絶縁層(9)上に形成され、該開口を通じて該能動素子間および該能動素子とパッド用拡散層(

5)間を接続するための第一の配線(6、7)と、

該炭化珪素薄膜片(2)の該裏面上に形成され、異なる該炭化珪素薄膜片(2)における所定の該パッド用拡散層(5)間を接続するための第二の配線(10)

とから成ることを特徴とする大規模集積回路。

2) シリコンウエハ(100)上に、所定の厚さを有する炭化珪素薄膜(200)をエピタキシャル成長させる工程と、

該シリコンウエハ(100)上の領域を区分して定義された複数のチップ領域(101)の各々における該炭化珪素薄膜(200)に、トランジスタ等の能動素子と、該炭化珪素薄膜(200)の厚さと等しい深さを有するパッド用の拡散層(5)とを形成する工程と、

該炭化珪素薄膜(200)上に、該能動素子と該パッド用拡散層(5)とを被覆する絶縁層(9)を形成する工程と、

該絶縁層(9)上に、各々の該チップ領域(101)内における所定の該能動素子間および該能動素子と該パッド用拡散層(5)間を接続して集積回路を

構成するための第一の配線(6, 7)を形成する工程と、

各々の該チップ領域(101)内の該第一の配線(6, 7)によって接続された該能動素子から成る集積回路を試験して選別する工程と、

該シリコンウエハ(100)を該チップ領域(101)ごとに分離して該集積回路が形成されている炭化珪素薄膜片(2)とシリコン基板部(104)とから成るシリコンチップ(101')にする工程と、

選別された該集積回路を有する分離された複数のシリコンチップ(101')を、シリコンのエッチング剤によってエッチングされ難い絶縁材料から成る基板(1)上におけるそれぞれに指定された位置に、該炭化珪素薄膜片(2)が形成されている側に該基板(1)に対向するようにして配列したのち接着する工程と、

該基板(1)に接着された各々のシリコンチップ(101')における該シリコン基板部(104)を選択的に除去することにより、該能動素子およびパッド用拡散層(5)を有する該炭化珪素薄膜片(2)を残

す工程と、

該シリコン基板部(104)が除去されて露出した該炭化珪素薄膜片(2)の裏面上に、主として異なる該炭化珪素薄膜片(2)における、少なくとも各一つずつの所定の該パッド用拡散層(5)間を接続するための第二の配線(10)を形成する工程を含むことを特徴とする大規模集積回路の製造方法。

3 発明の詳細な説明

(概要)

ウエハ規模の大規模集積回路に関し、

所望の集積回路が形成されたチップのうちから良品を選別し、これをウエハ規模に再配列して相互に結線して大規模集積回路を構成する方式にもとづき、ウエハ規模集積回路を提供可能とすることを目的とし、

シリコンウエハ上にエピタキシャル成長した炭化珪素薄膜に通常のチップ単位で集積回路を形成し、試験を行ったのちチップに分離し、選別され

た所望の集積回路を有する良品チップを、シリコンに対するエッチング剤によってエッチングされ難い絶縁性の表面を有する基板に、炭化珪素薄膜が基板に対向するようにして配列したのち接着してから、シリコンウエハを選択的にエッチングし、残った炭化珪素薄膜片の裏面に露出したパッド用の拡散層に配線を行って、異なる炭化珪素薄膜片に形成されたチップ単位の各集積回路間を相互に接続することにより構成される。

(産業上の利用分野)

本発明はウエハ規模の大規模集積回路に係り、とくに所望の集積回路が形成されたチップを基板上に配列・固定し、該チップ間を相互接続して成る大規模集積回路に関する。

(従来の技術)

チップ内における回路の集積度に比べ、集積回路パッケージ内における配線や、印刷配線基板上における集積回路パッケージ間の配線の集積度は

極めて低い。したがって、できるだけ大面積のチップを用いることが、集積度を上げる為に有利であることは論を待たない。仮に、ウエハを一つの基板として回路が形成されたとすると、数百チップもしくはパッケージ分以上の回路が集積されたことになり、これは同数のパッケージを搭載するための印刷配線基板の面積に比べ、一桁ないし二桁の高集積化が可能であると見積もられる。

(発明が解決しようとする問題点)

上記の考え方に基づき、WSI(Wafer Scale Integrated Circuit: ウエハ規模集積回路)と称される方式が、冗長回路を使用することを前提として提案されたが、実現されるに至っていない。

これは、シリコンウエハ等の半導体基板に集積回路を形成する場合、種々の理由により、単位面積当たりある確率で不良個所が発生する。このために、チップ面積が大きくなるにしたがって不良個所を含む確立が高くなり、チップの製造歩留りが低下するため、現状では、ウエハ規模の単一

半導体基板を用いた集積回路を実用化するために、解決すべき問題点が多い。

しかしながら、所望の集積回路が形成されたチップのうちから良品を選別し、これをウエハ規模に再配列してのち、これらを相互接続することによって、結線して大規模集積回路を構成することがWSIを実現する一つの現実的な方式として考えられる。

本発明は上記の現実的な方式にもとづき、ウエハ規模集積回路を提供することを目的とする。

〔問題点を解決するための手段〕

上記目的は、シリコンウエハ上に、所定の厚さを有する炭化珪素薄膜をエピタキシャル成長させる工程と、該シリコンウエハ上の領域を区分して定義された複数のチップ領域の各々における炭化珪素薄膜に、トランジスタ等の能動素子と、該炭化珪素薄膜と等しい深さを有するパッド用の拡散層とを形成する工程と、該炭化珪素薄膜上に該能動素子と該パッド用拡散層とを被覆する絶縁層を

形成する工程と、該絶縁層上に、各々の該チップ領域内の該能動素子間および該能動素子と該パッド用拡散層間を接続して集積回路を構成するための第一の配線を形成する工程と、各々の該チップ領域内の該第一の配線によって接続された該能動素子から成る集積回路を試験して選別する工程と、該シリコンウエハを該チップ領域ごとに分離して該集積回路が形成されている炭化珪素薄膜片とシリコン基板部とから成るシリコンチップにする工程と、選別された該集積回路を有する分離された複数のシリコンチップを、シリコンのエッチング剤によってエッチングされ難い絶縁材料から成る基板上におけるそれぞれに指定された位置に、該炭化珪素薄膜片が形成されている側が該基板に対向するようにして配列したのち接着する工程と、該基板に接着された各々のシリコンチップにおける該シリコン基板部を選択的に除去することにより、該能動素子とパッド用拡散層を有する該炭化珪素薄膜片を残す工程と、該シリコン基板部が除去されて露出した該炭化珪素薄膜片の裏面に、主

として異なる該炭化珪素薄膜片における、少なくとも各一ずつの所定の該パッド用拡散層間を接続するための第二の配線を形成する工程とを含むことを特徴とする、本発明に係る大規模集積回路の製造方法によって達成される。

〔作 用〕

シリコンウエハ上にエピタキシャル成長した炭化珪素薄膜に通常のチップ単位で集積回路を形成し、試験を行ったのちチップに分離し、選別された所望の集積回路を有する良品チップを、シリコンに対するエッチング剤によってエッチングされ難い絶縁性の表面を有する基板に、炭化珪素薄膜片が基板に対向するようにして配列したのち接着してから、シリコンウエハを選択的にエッチング除去し、残った炭化珪素薄膜片の裏面に露出したパッド用の拡散層に配線を行い、異なる炭化珪素薄膜片に形成されたチップ単位の集積回路間を相互に接続して大規模集積回路を構成することにより、歩留りよくウエハ規模の集積回路を製造でき

る。

〔実施例〕

以下本発明の実施例を図面を参照して説明する。以下の図面において、同一部分には同一参照符号を付してある。

第1図(a)～(c)は、本発明の大規模集積回路を模式的に示す、それぞれ、平面図、側面図および部分断面図である。

第1図(a)および(b)において、通常、シリコンのエッチングに用いられる、硝酸(HNO₃)と弗酸(HF)の混酸から成るエッチング剤によってエッチングされ難い材料から構成された基板1には、トランジスタ等の能動素子(図示省略)が形成された炭化珪素(SiC)薄膜片2が、多数配列されており、基板1と接着されている。

基板1は、例えば低温(500℃)で軟化するガラスから成り、通常のシリコンウエハと同程度の厚さ(約0.6mm)を有する。SiC薄膜片2は厚さ2000Å程度を有し、図では除去されているシリコ

ンウエハ上に形成されたエピタキシャル成長層である。

第1図(c)は第1図(a)における2aおよび2bの隣接部分近傍の断面構造を示す。第1図(c)に示すように、SiC薄膜片2における基板1に対向する表面には、例えば、ソース/ドレイン3およびゲート電極4から成るトランジスタが形成されている。同図には一つのトランジスタしか図示されていないが、各SiC薄膜片2ごとに、通常のチップにおけると同等の集積回路を構成するために必要な数のトランジスタ等の能動素子が形成されている。

各々のSiC薄膜片2における前記トランジスタ等が形成されている領域の周辺には、パッド用の拡散層5が形成されている。パッド用拡散層5は、SiC薄膜片2における前記トランジスタ等が形成された表面から裏面に達する深さに形成されている。パッド用拡散層5は、例えば、厚さ5000Å程度のアルミニウム(Al)層から成る配線6により、前記表面側において同一SiC薄膜片2内の能動素

子、例えば、ソース/ドレイン3に接続されている。

なお、第1図(c)において、参照符号7はソース/ドレイン3の一方に接続された配線であって、配線6と同材料、同厚さに形成され、8はゲート絶縁層、9はSiC薄膜片2における前記表面に形成された、例えば、CVD(化学気相堆積法)によって形成されたSiO₂から成る厚さ3000Å程度の層間絶縁層であって、SiC薄膜片2内におけるソース/ドレイン3、ゲート電極4およびパッド用拡散層5に対応した開口が設けられている。図から明らかなように、個々のSiC薄膜片2内に形成された能動素子間および能動素子とパッド用拡散層5間は配線6および7で接続されて集積回路を形成している。

第1図(c)には、互いに隣接するSiC薄膜片2aと2bが示されており、SiC薄膜片2aおよび2bのそれぞれの裏面に露出しているパッド用拡散層5が、例えばアルミニウム(Al)層から成る配線10により接続されている。図において、参照符号11

は、基板1に配列・接着されたSiC薄膜片2の裏面に形成された、例えばBPSG(硼磷珪酸ガラス)から成る厚さ1μm程度の絶縁層であって、パッド用拡散層5に対応する開口13が設けられている。また、参照符号12は、例えば、CVDによって形成されたPSG(珪酸ガラス)のような絶縁材料から成る厚さ1μm程度のカバー層であり、SiC薄膜片2に形成されている前記能動素子と配線6および7を保護する目的で形成されるが、SiC薄膜片2と基板1との接着のための機能を兼備させることも可能である。

上記のようにして、基板1上に配列・接着されたSiC薄膜片2は配線10によって相互に接続されて、一つの大規模集積回路を形成している。

第2図は、多数のSiC薄膜片2におけるパッド用拡散層5間が配線10で接続された場合を模式的に示す部分斜視図である。一般に、隣接するSiC薄膜片2の互いに接する辺に形成されたパッド用拡散層5間で接続が可能のように、所望の集積回路が形成されたSiC薄膜片2を基板1上に配置す

ると、配線効率、回路特性、信頼性の上で有利である。しかし、必要に応じて、配線10aのように、互いに接していない辺縁部にそれぞれ形成されているパッド用拡散層5aと5bを接続するように形成することも可能である。

また、SiC薄膜片2は、第1図(a)における2aおよび2bのように同一形状でなくともよく、周囲のSiC薄膜片2と隣間なく配列可能であれば、同図における2cのような、一般に異種の集積回路が形成されている異形のものでもよい。

第3図(a)および(b)は、それぞれ、本発明の大規模集積回路の製造に用いるウエハおよびその上に定義されるチップ領域を示す平面図である。同図(a)に示すように、通常の集積回路の製造におけるのと同様に、シリコンウエハ100上にチップ領域101が定義される。各々のチップ領域101内は、同図(b)に示すように、トランジスタ等の能動素子が形成される素子領域102と、主にパッドを形成するためのパッド領域103とに分けられている。必要によって、パッド領域がチ

ップの中央に設けられる場合があるが、以下の説明は、この場合に対しても適用できる。

上記シリコンウエハ100の表面に、厚さ2000Å程度の炭化珪素(SiC)の薄膜がエピタキシャル成長される。SiC薄膜のエピタキシャル成長は化学気相堆積(CVD)法を用いて行えばよい。CVDによるSiCのエピタキシャル成長については、同一出願人による出願(特願昭61-167823,昭和61年7月18日)に記載してある方法を用いればよい。

第4図(a)および(b)は本発明の大規模集積回路を構成する単位となる集積回路チップを製造する工程を説明するための部分断面図であって、第3図(b)に示した素子領域102とパッド領域103の近傍に、それぞれMISトランジスタおよびパッド用拡散層を形成する様子を模式的に示している。

第4図(a)において、上記のようにしてシリコンウエハ100の上に、厚さ2000Å程度の、例えばn型SiC薄膜200を形成する。次いで、通常の集積回路の製造におけるのと同様の方法を用いて、

第4図(b)に示すように、素子領域102にはソース/ドレイン3とゲート電極4から成るMISトランジスタを、また、パッド領域103にはパッド用拡散層5をそれぞれ形成する。

上記において、少なくともパッド用拡散層5はSiC薄膜200の表面からシリコンウエハ100と接する裏面に達する深さに形成することが必要である。

次いで、個々のチップ領域101に上記のようにして形成された多数のトランジスタおよびパッド用拡散層間を接続するための配線を形成する。第4図(b)に示した例では、配線6によりソース/ドレイン3の一方とパッド用拡散層5が接続されており、配線7により他方のソース/ドレイン3が図示しないトランジスタまたはパッド用拡散層に接続されている。これらの配線は、例えば厚さが約0.5 μ mのAl薄膜を用いて形成すればよい。また、必要に応じて、図示しない二層もしくはそれ以上の多層配線を用いて接続を行ってもよい。なお、第4図(b)において、参照符号8はゲー

ト絶縁層、9は約3000Åの厚さを有する層間絶縁層である。

上記のようにして、シリコンウエハ100上には、各々独立した集積回路を有する多数のチップ領域101が形成される。通常、集積回路が形成されたSiC薄膜200の表面に、例えば、CVDによりPSGから成る厚さ1 μ m程度のカバー層12を形成する。さらに、各々のチップ領域101におけるパッド用拡散層5に対応する位置におけるカバー層12を選択的に除去して開口を形成する。そして、この開口内に露出しているパッド用拡散層5に試験装置のプロープを接触させて、各々のチップ領域101内の集積回路の試験を行い、正常な集積回路が形成されているチップ領域101に識別マークを付しておく。

次いで、通常のウエハ分離(ダイシング)方法を用いて、個々のチップ領域101ごとにシリコンウエハ100を分離する。

上記のようにして分離されたチップ領域101に対応するチップの中から、正常な所望の集積回路

が形成されているチップを選別し、これらをシリコンに対するエッチング剤によってエッチングされ難い材料、例えば、前記BPSGから成る基板上に互いに密接するようにして配列したのち接着する。

第5図(a)～(d)は、上記のようにして選別された集積回路チップが前記基板上に配列・接着されてからウエハ規模の大規模集積回路に至るまでの工程を模式的に示す断面図である。すなわち、第5図(a)に示すように、選別された集積回路チップ101'を、例えば前記BPSGから成る基板1上に、SiC薄膜片2(前記SiC薄膜200がチップ単位に分離されたもの)が形成されている面が基板1に対向するようにして配列する。第5図(a)において、符号104は集積回路チップ101'におけるシリコン基板部である。また、第5図(a)～(c)においては、各々のSiC薄膜片2上に形成されている配線6と7およびカバー層12は図示省略されている。

基板1は、例えば400～800℃で軟化するので、集積回路チップ101'が配列されたのち、軟化点以

上の温度で加熱することにより、集積回路チップ101'との間で接着が行われる。この場合、基板1と集積回路チップ101'の間に適度の圧力を加えることにより、より低温で強い接着を達成できる。また、前述のように、前記カバー層12に接着性を有する材料を用いることにより、さらに低温での接着が可能である。

なお、基板1の軟化点が600℃以上の場合には、配線7として高融点金属、例えばタングステン、モリブデン等を用いて形成すればよい。

次いで、各々の集積回路チップ101'におけるシリコン基板部104をエッチング除去する。この場合のエッチング剤としては、例えば、硝酸(HNO_3)と弗酸(HF)から成る公知のシリコンエッチング液あるいは水酸化カリウム(KOH)水溶液を用いればよい。このようにして、基板1上には前記集積回路が形成されたSiC薄膜片2が残される。また、各々のSiC薄膜片2の裏面(シリコン基板部104に接していた面)の周縁部には、前記パッド用拡散層5(図示省略)が露出している。

また、基板1として導電性物質から成る基板を用いてもよい。また、基板1が絶縁物である場合には、これにカバー層12を省略してもよい。

上記において、基板1上に配列されたSiC薄膜片2は、すべてが完全に密接しているとは限らず、隣接しているSiC薄膜片2間に間隙が生じている場合がある。しかしながら、基板1上のSiC薄膜片2側の厚さは、前記配線6と7および層間絶縁層9とカバー層12の厚さを加えても、高々 $1.5\mu\text{m}$ 程度、二層配線を用いた場合でも $3\mu\text{m}$ 程度以下であり、上記のような間隙は絶縁層11を形成することによりほとんど平坦化されてしまうので、この間隙部分における段差に起因する配線10あるいは配線10aの導通不良が生じるおそれはない。

また、所望の集積回路が形成されたSiC薄膜片2を、隣接するSiC薄膜片2における対向する辺に形成されたパッド用拡散層5間に配線を設けるだけで異なるSiC薄膜片2間の接続が可能ないように配列することにより、配線10のパターンは極めて簡単となる。その結果、配線10の幅および厚さ

上記配列されたSiC薄膜片2の裏面全体に、第5図(b)に示すように、例えば、BPSGから成る厚さ $1\mu\text{m}$ 程度の絶縁層11を形成する。絶縁層11の形成方法としては、公知の低温CVD技術を用いればよい。そして、所定の前記パッド用拡散層5に対応する位置における絶縁層11を選択的に除去して開口13を形成する。

次いで、第5図(c)に示すように、開口13が設けられたキャップ層11の上に、例えばAl薄膜を形成し、通常のリソグラフ技術を用いてパターンニングし、異なるSiC薄膜片2の裏面に露出したパッド用拡散層5間を接続するための第二の配線10を形成する。このようにして、第1図(a)～(c)を用いて説明した構造のウエハ規模の大規模集積回路が製造される。

なお、第5図(c)においては隣接するパッド用拡散層5を接続する配線10が示されているが、第2図における配線10aのように、隣接していないSiC薄膜片2に設けられたパッド用拡散層5aと5bを接続するように形成することも可能である。

を大きく形成できるので、前述のような段差に起因する導通不良の発生がさらに減少する。また、配線の設計、作製の能率が著しく向上される。

さらに、第6図に示すように、SiC薄片2に形成されたソース/ドレイン3およびゲート電極4から成るトランジスタ等の能動素子およびパッド用の拡散層5は、電極用の窓部分を除き、すべて層間絶縁層9と絶縁層11とによって決まれた構造となっており、SOI(Silicon on Insulator)構造のトランジスタと等価のトランジスタが作製されることになる。また、必要に応じて能動素子の周囲に、SiC薄片2の厚さと等しい深さに逆導電型の不純物を注入して素子部分用拡散層14を形成することにより、高性能の集積回路を提供可能となる。なお、同図において、参照符号15は配線である。

(発明の効果)

本発明によれば、ウエハ規模の大規模集積回路を、歩留りよく製造可能とする効果がある。また、

大規模集積回路を構成するトランジスタ等の各能動素子をSOIと等価の構造で形成することができるので、高性能の大規模集積回路を提供可能とする効果がある。

4 図面の簡単な説明

第1図(a)～(c)は、本発明の大規模集積回路を模式的に示す、それぞれ、平面図、側面図および部分断面図、

第2図は、各々のSiC薄膜片々におけるパッド用拡散層と間が配線線で接続された場合を模式的に示す部分斜視図、

第3図(a)および(b)は、それぞれ、本発明の大規模集積回路の製造に用いるウエハおよびその上に定義されるチップ領域を示す平面図、

第4図(a)および(b)は本発明の大規模集積回路を構成する単位となる集積回路チップを製造する工程を説明するための断面図、

第5図(a)～(c)は集積回路チップが大規模集積回路に構成されるまでの工程を模式的に示

す断面図、

第6図は本発明の別の効果を説明するための要部断面図である。

図において、

- 1 は基板、
- 2 はSiC薄膜片、
- 3 はソース/ドレイン、
- 4 はゲート電極、
- 5 と5aと5bはパッド用拡散層、
- 6 と7 と10と10aと15は配線、
- 8 はゲート絶縁層、
- 9 は層間絶縁層、
- 11は絶縁層、
- 12はカバー層、
- 13は開口、
- 14は素子分離用拡散層、
- 100 はシリコンウエハ、
- 101 はチップ領域、
- 101'は集積回路チップ、

102 は素子領域、

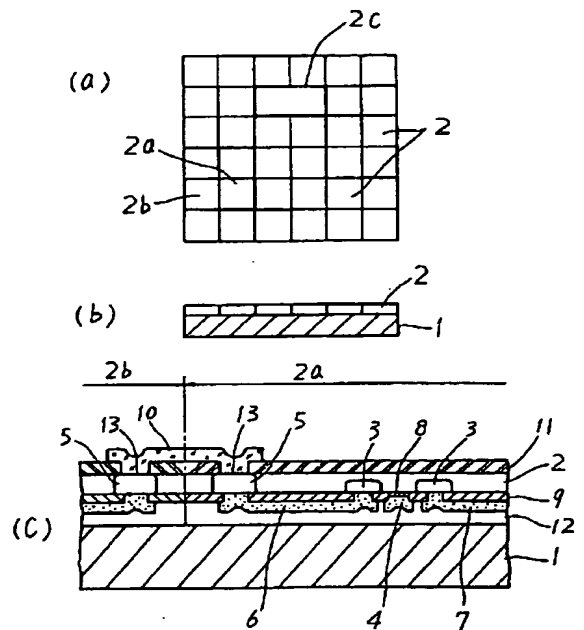
103 はパッド領域、

104 はシリコン基板部、

200 はSiC薄膜、

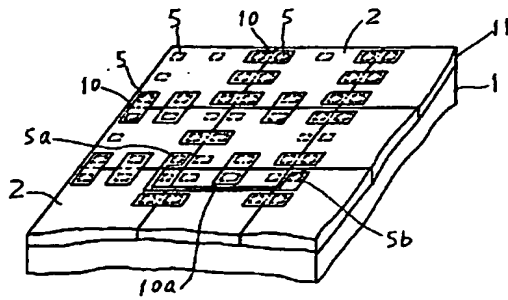
である。

代理人 弁理士 井 術 貞一

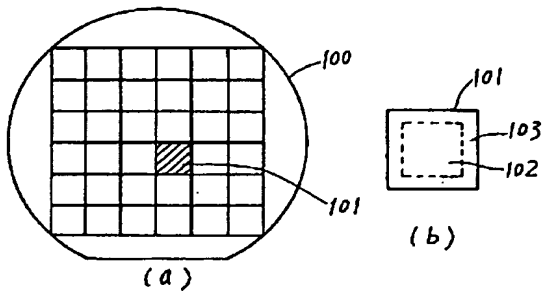


本発明の大規模集積回路

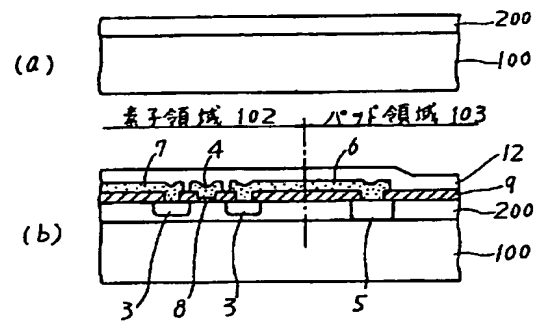
第1図



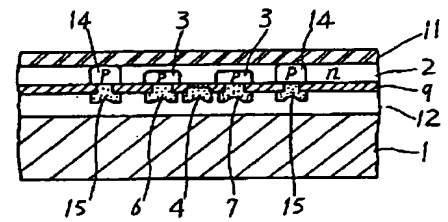
Sic 薄膜片間の配線
第 2 図



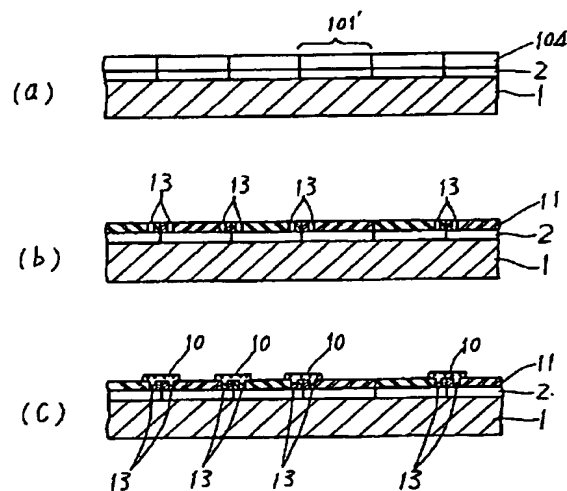
ウエハおよびチップ領域
第3図



集積回路チップの製造工程
第4図



本発明の別の効果
第 6 図



大規模集積回路化の工程
第 5 図